

PATENT ABSTRACTS OF JAPAN

5-2

(11)Publication number : 04-273618
(43)Date of publication of application : 29.09.1992

(51)Int.CI.

H03L 7/087

(21)Application number : 03-034241
(22)Date of filing : 28.02.1991

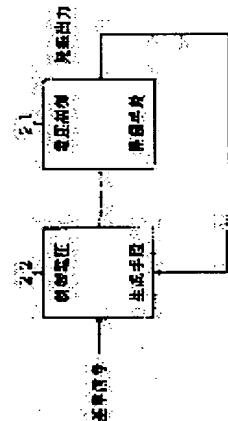
(71)Applicant : FUJITSU LTD
(72)Inventor : ENDO TAKEMI
IFUKURO SADAO

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To suppress an input output phase difference fluctuation within its allowable range and also to suppress output jitter within its allowable range with respect to a PLL circuit from which an oscillation signal synchronously with a reference signal is obtained.

CONSTITUTION: A control voltage generating means 22 having a phase difference characteristic with a large gain in the allowable range of input output phase difference fluctuation and having a small gain at the outside of the allowable range. is used to control the oscillating frequency of a voltage control means 21.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

5-1
5-1

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-273618

(43)公開日 平成4年(1992)9月29日

(51)Int.Cl.⁵
H 0 3 L 7/087識別記号
H 0 3 L 7/087
9182-5 J府内整理番号
F I
H 0 3 L 7/08技術表示箇所
P

審査請求 未請求 請求項の数6(全11頁)

(21)出願番号 特願平3-34241
(22)出願日 平成3年(1991)2月28日(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 遠藤 竹美
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 衣袋 貞雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 井桁 貞一

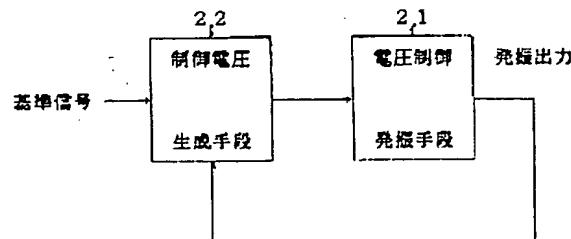
(54)【発明の名称】 PLL回路

(57)【要約】

【目的】 基準信号に同期した発振信号を得るPLL回路に関し、入出力位相差変動をその許容範囲内に抑えることができるることは勿論、出力ジッタもその許容範囲内に抑えることができるPLL回路を提供することを目的する。

【構成】 入出力位相差変動の許容範囲内では、大きな利得を有し、許容範囲外では、小さな利得を有するような位相差検出特性を有する制御電圧生成手段22により、電圧制御発振手段21の発振周波数を制御するよう構成する。

本発明の原理図



1

【特許請求の範囲】

【請求項1】 制御電圧に基づいて発振周波数が制御される電圧制御発振手段(21)と、この電圧制御発振手段(21)の発振出力と基準信号との位相差を検出し、この検出出力に基づいて前記制御電圧を生成するものであって、出入力位相差変動の許容範囲内では、大きな利得を有し、この許容範囲外では、小さな利得を有するような位相差検出特性を有する制御電圧生成手段(22)とを具備したことを特徴とするPLL回路。

【請求項2】 前記制御電圧生成手段(22)は、前記発振出力と前記基準信号との位相差を検出するものであって、前記許容範囲内では、一定の利得を有し、前記許容範囲外では、零の利得を有するような位相差検出特性を有する第1の位相差検出手段(32)と、前記発振出力と前記基準信号との位相差を検出するものであって、前記位相差の変化範囲全体に渡って一定の利得を有するような位相差検出特性を有する第2の位相差検出手段(33)と、前記第1、第2の位相差検出手段(32)、(33)の検出出力を合成し、この合成出力に基づいて前記制御電圧を生成する合成手段(37, 38, 39)とを具備したことを特徴とする請求項1記載のPLL回路。

【請求項3】 前記第1の位相差検出手段(32)は、前記許容範囲内では、前記位相差に応じたパルス振幅を有し、前記許容範囲外では、一定のパルス振幅を有するようなパルス信号を出力するように構成され、前記第2の位相差検出手段(33)は、前記位相差に応じたパルス幅を有するパルス信号を出力するように構成されていることを特徴とする請求項2記載のPLL回路。

【請求項4】 前記第1の位相差検出手段(32)は、前記位相差に応じたパルス幅を有するパルス信号を出力するパルス信号出力手段(321, 322)と、このパルス信号出力手段(321, 322)から出力されるパルス信号を前記発振出力に同期して積分する積分手段(323, 324)と、前記位相差が前記許容範囲を越えると、前記積分手段(323, 324)の積分出力を一定振幅に制限する振幅制限手段(325)とを具備するように構成されていることを特徴とする請求項3記載のPLL回路。

【請求項5】 前記第1の位相差検出手段(32)は、前記位相差に応じたパルス幅を有するパルス信号を出力するパルス信号出力手段(321, 322)と、このパルス信号出力手段(321, 322)の出力パルスを前記発振出力に同期して積分する積分手段(323, 324)と、この積分手段(323, 324)が積分を開始するたびに、この開始時点から前記許容範囲に対応する時間が経過した時点で、前記積分手段の積分出力(323, 324)をサンプリングして保持するサンプル・ホールド手段(324, 326, 327)とを具備するように構成されていることを特徴とする請求項3記載のPLL回路。

【請求項6】 前記合成手段(37, 38, 39)は、前記第2の位相差検出手段(33)の検出出力を直流信号化する第1の

2

直流化手段(38)と、この第1の直流化手段(38)の直流信号化出力と前記第1の位相差検出手段の検出出力とを加算する加算手段(37)と、この加算手段(37)の加算出力を直流信号化する第2の直流化手段(39)とを具備するように構成されていることを特徴とする請求項2記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、基準信号に同期した発振信号を得るフェーズロックループ回路（以下、PLL回路という）に関する。

【0002】 近年、多重変換装置を用いて複数の入力データを多重して伝送する通信装置においては、多重変換装置として同期系多重変換装置を用いることが多い。

【0003】 ここで、同期系多重変換装置とは、クロック供給装置（以下、DCSという）から供給されるクロックに同期して多重用のクロックを生成する多重変換装置である。

【0004】 このような同期系多重変換装置においては、複数のPLL回路を多段接続することにより、DCSから供給される例えば64KHzのクロックを、620MHzや2.4GHzといった高い周波数を有する多重用クロックに変換している。

【0005】 同期系多重変換装置に用いられるPLL回路は、この装置に必要な特性との関係から、次のような特性を要求される。

（1）出入力位相差変動がある一定の許容範囲内（例えば、100nsec以下）にあること。

（2）出力ジッタがある一定の許容範囲内（例えば、多重用クロックの0.01UIP-P以下）にあること。

【0006】 ここで、出入力位相差変動とは、例えば、日単位といった比較的長い時間単位の位相差変動である。

【0007】 これに対し、出力ジッタとは、例えば、ミリ秒単位といった短い時間単位の位相差変動である。

【0008】

【従来の技術】 図12は、同期系多重変換装置で用いられる従来のPLL回路の構成を示すブロック図である。

【0009】 図示のPLL回路は、進退検出回路11と位相差検出回路12を用いて、電圧制御発振回路（以下、VCOという）16の発振周波数を制御するようになっている。

【0010】 ここで、進退判定回路11とは、VCO16の発振出力S2の位相が基準信号S1の位相より進んでいるか否かを検出する回路である。

【0011】 これに対し、位相差検出回路12とは、発振出力S2と基準信号S1との位相差を検出する回路である。

【0012】 進退検出回路11の検出出力S4と位相差検出回路12の検出出力S6は、それぞれローバスフィ

ルタ（以下、「LPF」という）13, 14により直流信号S7, S8に変換された後、加算回路15で加算される。

【0013】この加算出力は、VCO16に制御電圧S9として供給される。これにより、発振出力S2の位相が基準信号S1に同期させられる。

【0014】図13、図14は、図12の動作を示すタイミングチャートである。

【0015】ここで、図13は、発振出力S2（分周出力S3）の位相が基準信号S1の位相より進んでいる場合を示し、図14は、逆に、遅れている場合を示す。

【0016】上記進遅検出回路11は、Dフリップフロップ回路111により構成され、基準信号S1（図13（b）参照）の立上がりタイミングで、分周回路17の分周出力S3（図13（a）参照）を取り込む。

【0017】これにより、分周出力S3の位相が基準信号S1の位相より進んでいる場合は、図13（d）に示すように、進遅検出回路11の検出出力S4は、ハイレベル「H」となる。

【0018】一方、分周出力S3の位相が基準信号S1の位相より遅れている場合は、図14（d）に示すように、進遅検出回路11の検出出力S4は、ローレベル「L」となる。

【0019】なお、上記分周回路17は、発振出力S2を分周して基準信号S1と同じ周波数を有する信号を得る回路である。

【0020】上記位相差検出回路12は、チョッパ回路121とDフリップフロップ回路122により構成される。

【0021】ここで、Dフリップフロップ回路122は、分周出力S3の立上がりタイミングで、その反転出力端子Cの出力信号を取り込み、チョッパ回路121から出力されるパルス信号S5の立下がりタイミングでリセットされる。

【0022】このパルス信号S5は、図13（c）に示すように、基準信号S1に立下がりタイミングに同期して出力される。

【0023】したがって、位相差検出回路12から出力されるパルス信号S6は、図13（e）、図14（e）に示すように、分周出力S3と基準信号S1との位相差PDに応じたパルス幅を有するパルス信号となる。

【0024】以上から、進遅検出回路11の進遅検出特性としては、図15に示すように、位相差PDが零の点（中心点）を境に電圧が階段的に変化するような特性となる。

【0025】これに対し、位相差検出回路12の位相差検出特性としては、図16に示すように、 $-\pi$ から π の範囲で電圧が徐々に変化するような特性となる。

【0026】なお、この位相差検出特性の利得は、実際は、図16に示すものよりかなり小さいものであるが、

図16には、便宜上、大きく示している。

【0027】この2つの特性が加算回路15によって合成されることにより、図17に示すように、中心点でオフセットを持つような位相差検出特性が得られる。

【0028】このような位相差検出特性によりVCO34の発振周波数を制御する構成によれば、発振出力S2の位相を中心点に引き込むことができる。

【0029】この後、発振出力S2の位相が何らかの原因で中心点からずれようすると、中心点から少しずれた点で、VCO34にステップ状の制御電圧S9がかかるので、入出力位相差変動をその許容範囲CPD内に抑えることができる。

【0030】しかし、このように中心点から少しずれると直ぐに大きな制御電圧S9がかかる構成では、位相が中心点で安定することができず、図17の点P1と点P2の間で変化してしまう。

【0031】これにより、出力ジッタがその許容範囲から外れてしまう。

【0032】【発明が解決しようとする課題】以上述べたように、従来のPLL回路においては、中心点でオフセットを有するような位相差検出特性に基づいて、発振出力の位相を制御するようになっていた。

【0033】このため、従来のPLL回路では、入出力位相差変動をその許容範囲内に抑えることはできるものの、出力ジッタをその許容範囲内に抑えることができないという問題があった。

【0034】そこで、この発明は、入出力位相差変動をその許容範囲内に抑えることは勿論、出力ジッタもその許容範囲内に抑えることができるPLL回路を提供することを目的とする。

【0035】【課題を解決するための手段】図1は、この発明の原理構成を示すブロック図である。

【0036】図において、21は、制御電圧に基づいて発振周波数が制御される電圧制御発振手段である。

【0037】22は、電圧制御発振手段21の発振出力と基準信号との位相差を検出し、この検出出力に基づいて前記制御電圧を生成する制御電圧生成手段である。

【0038】この制御電圧生成手段22は、前記位相差の許容範囲内では、大きな利得を有し、許容範囲外では、小さな利得を有するような位相差検出特性を有する。

【0039】【作用】上記構成によれば、電圧制御発振手段21の発振周波数の位相を入出力位相差変動の許容範囲内に引き込んだ後も、電圧制御発振手段21には、大きな制御電圧がかかるので、発振出力の位相が何らかの原因で引込み点からずれようとして、このずれを抑制することができる。

【0040】これにより、入出力位相差変動をその許容範囲内に抑えることができる。

【0041】位相差比較特性は、入出力位相差変動の許容範囲内でも、一定の利得を有するので、ジッタ発生要因を持たない。

【0042】これにより、出力ジッタをその許容範囲内に抑えることができる。

【0043】

【実施例】以下、図面を参照しながらこの発明の実施例を詳細に説明する。

【0044】図2は、この発明の第1の実施例の構成を示すブロック図である。

【0045】まず、図2の全体的な構成を説明する。

【0046】図において、31は、基準信号S11が供給される入力端子である。

【0047】この入力端子31に供給された基準信号S11は、第1、第2の位相差検出回路32、33に供給される。

【0048】34は、制御電圧S22により発振周波数が制御されるVCOである。

【0049】このVCOの発振出力S12は、出力端子35に供給されるとともに、分周回路36に供給される。

【0050】この分周回路36は、発振出力S12を分周することにより、基準信号S11と同じ周波数を有する分周出力S13を得る。

【0051】この分周出力S13は、上記第1、第2の位相差検出回路32、33に供給される。

【0052】第1の位相差検出回路32は、基準信号S11と分周出力S13との位相差PDを検出し、この位相差PDに応じたパルス振幅Aを有するパルス信号S18を出力する。

【0053】第2の位相差検出回路33は、上記位相差PDを検出し、位相差PDに応じたパルス幅W1を有するパルス信号S20を出力する。

【0054】第1の位相差検出回路32から出力されるパルス信号S18は、加算回路37に供給される。

【0055】第2の位相差検出回路33から出力されるパルス信号S20は、LPF38で直流信号S21に変換された後、加算回路37に供給される。

【0056】加算回路37は、両入力信号を加算し、LPF39に供給する。

【0057】LPF39は、入力信号を直流信号化し、VCO34の制御電圧S22を得る。

【0058】次に、第1、第2の位相差検出回路32、33の具体的構成について、図3を参照しながら説明する。

【0059】ここで、図3は、図2の各部の信号を示すタイミングチャートで、分周出力S13の位相が基準信号S11の位相より進んでいる場合を示す。

【0060】第1の位相差検出回路32は、チョッパ回路321、Dフリップフロップ回路322、積分回路323、チョッパ回路324、リミッタ325により構成されている。

【0061】ここで、チョッパ回路321とDフリップフロップ回路322は、分周出力S13と基準信号S11との位相差PDに応じたパルス幅W2を有するパルス信号S15を出力する機能を有する。

【0062】積分回路323とチョッパ回路324は、パルス信号S15を、位相差PDに応じたパルス振幅Aを有するパルス信号S17に変換する機能を有する。

【0063】リミッタ325は、パルス信号S17のパルス振幅Aを、入出力位相差変動の許容範囲CPDに応じた振幅レベルLで制限する機能を有する。

【0064】これにより、許容範囲CPD内では、位相差PDに応じたパルス振幅Aを有し、許容範囲CPD外では、Lに固定されたパルス振幅Aを有するパルス信号S18が得られる。

【0065】上述したような機能を得るための構成を具体的に説明すると、まずチョッパ回路321は、図3(d)に示す如く、基準信号S11(図3(b)参照)の立上がりタイミングに同期した負極性のパルス信号S14を出力する。

【0066】このパルス信号S14は、Dフリップフロップ回路322のリセット端子Rに供給される。

【0067】Dフリップフロップ回路322のデータ入力端子Dには、その反転出力端子Cの出力信号が供給され、クロック入力端子CKには、図3(a)に示す分周出力S13が供給される。

【0068】これにより、Dフリップフロップ回路322は、パルス信号S14の立下がりタイミングでリセットされ、分周出力S13の立上がりタイミングで、データ入力を取り込む。

【0069】その結果、このDフリップフロップ回路322の通常出力端子Nには、図3(f)に示すように、分周出力S13の立上がりタイミングでハイレベル「H」となり、パルス信号S14の立下がりタイミングでローレベル「L」となるパルス信号S15が得られる。

【0070】このパルス信号S15は、積分回路323で積分される。

【0071】この積分回路323の積分電圧は、チョッパ回路324から出力されるパルス信号S16により放電される。

【0072】このパルス信号S16は、図3(e)に示すように、分周出力S13に同期して、この分周出力S13の立上がりタイミングよりTだけ早いタイミングで出力される正極性のパルス信号となっている。

【0073】このパルス信号S16の立上がりタイミングで、上記積分電圧の放電が開始される。

【0074】したがって、パルス信号S15は、位相差PDに応じたパルス振幅Aを有するパルス信号S17(図3(h)参照)に変換される。

【0075】なお、Tは、積分電荷を完全に放電するのに必要な時間に設定されている。

【0076】パルス信号S17は、リミッタ325により振幅制限される。

【0077】この場合の振幅制限レベルLは、入出力位相差変動の許容範囲CPDに基づいて設定されている。

【0078】これにより、リミッタ325から出力されるパルス信号S18のパルス振幅Aは、位相差PDが許容範囲CPD内であれば、その位相差PDに応じて決まる。

【0079】これに対し、位相差PDが許容範囲CPD外であれば、Lに固定される。

【0080】上記第2の位相差検出回路33は、チョッパ回路331とDフリップフロップ回路332により構成されている。

【0081】ここで、チョッパ回路331とDフリップフロップ回路332は、第1の位相差検出回路32のチョッパ回路321とDフリップフロップ回路322と同様に、位相差PDに応じたパルス幅W1を有するパルス信号S20を出力する機能を有する。

【0082】但し、チョッパ回路321から出力されるパルス信号S14が、図3(d)に示すように、基準信号S11の立上がりタイミングに同期して出力されるのに対し、チョッパ回路331から出力されるパルス信号S19は、図3(c)に示すように、基準信号S11の立下がりタイミングに同期して出力される。

【0083】上記構成において、動作を説明する。

【0084】第1の位相差検出回路32のDフリップフロップ回路322から出力されるパルス信号S15のパルス幅W2は、分周出力S13と基準信号11との位相差PDが大きくなるに従って大きくなる。

【0085】この様子を図4に示す。ここで、図4は、基準信号S11に対する分周出力S13の位相が、図3の場合よりも進んでいる場合を示す。

【0086】これにより、積分回路323から出力されるパルス信号S17のパルス振幅Aも、位相差PDが大きくなるに従って大きくなる(図3(h)と図4(h)参照)。

【0087】位相差PDが許容範囲CPDを越えると、パルス信号S17は、リミッタ325により振幅制限される。

【0088】これにより、図5に示すように、許容範囲CPD内では、位相差PDに応じてパルス振幅Aが除々に変化し、許容範囲CPD外では、パルス振幅Aが振幅制限レベルLに固定されるパルス信号S18が得られる。

【0089】これにより、第1の位相差検出回路32の

位相差検出特性は、図6に示すように、許容範囲CPD内では、一定の利得(傾き)を有し、許容範囲CPD外では、利得が零(傾きが零)となるような特性となる。

【0090】第2の位相差検出回路33のDフリップフロップ回路332から出力されるパルス信号S20のパルス幅W1も、第1の位相差検出回路Dフリップフロップ回路322から出力されるパルス信号S15と同様、位相差PDが大きくなるに従って大きくなる(図3(g)と図4(g)参照)。

10 【0091】これにより、第2の位相差検出回路33の位相差検出特性は、図7に示すように、 $-\pi$ から π に渡って一定の利得を有する特性となる。

【0092】なお、この位相差検出特性の利得は、実際は、図7に示すものよりも小さいものであるが、図7には、便宜上、大きく示している。

【0093】以上から、第1、第2の位相差検出回路32、33の位相差検出特性を加算回路37で合成することにより得られる位相差検出特性は、図8に示すように、許容範囲CPD内では、利得が大きく、許容範囲CPD外では、利得が小さくなるような特性となる。

【0094】このように、2段構成の位相差検出特性により、VCO34の発振周波数を制御する構成によれば、発振出力S22の位相を入出力変動の許容範囲CPD内に引き込むことができる。

【0095】この後、発振出力S22の位相が何らかの原因で引込み点からずれようとしても、VCO34には、大きな制御電圧S22がかかっているので、そのずれが抑制される。

【0096】これにより、入出力位相差変動をその許容範囲CPD内に抑えることができる。

【0097】また、位相差検出特性が入出力位相差変動の許容範囲CPD内でも一定の利得を有するので、ジッタ発生要因がない。

【0098】これにより、出力ジッタをその許容範囲内に抑えることができる。

【0099】以上詳述したようにこの実施例によれば、入出力位相差変動の許容範囲CPD内では、大きな利得を有し、許容範囲CPD外では、小さな利得を有するような位相差検出特性によりVCO34の発振周波数を制御するようにしたので、入出力位相差変動をその許容範囲CPD内に抑えることは勿論、出力ジッタもその許容範囲内に抑えることができる。

【0100】また、この実施例によれば、第1の位相差検出回路32の設計が容易となる。

【0101】これは、第1の位相比較回路32がその目的に合わせた構成を有するからである。

【0102】すなわち、第1の位相差検出回路32は、PLL回路の位相引込みがほぼ終了し、発振出力S12の位相が位相差PDの許容範囲CPD内に入った時に位相誤差を少なくするように、位相差PDに対する比較利

得を大きくした構成を有するからである。

【0103】また、この実施例によれば、第2の位相差検出回路33の設計が容易となる。

【0104】これは、第2の位相差検出回路33がその目的に合わせた構成を有するからである。

【0105】すなわち、第2の位相差検出回路33は、PLL回路の位相引込み開始時に、発振出力S12と基準信号S11との位相関係がいかなる位相関係にあっても、利得があるように、位相差PDに対する比較利得を小さくした構成を有するからである。

【0106】図9は、この発明の第2の実施例の構成を示すブロック図である。

【0107】先の実施例では、位相差PDが入出力位相差変動の許容範囲CPDを越えると、リミッタ325により、パルス信号S18のパルス振幅AをLに制限する場合を説明した。

【0108】これに対し、この実施例は、サンプル・ホールド回路326とチョッパ回路327により、パルス信号S18のパルス振幅AをLに制限するようにしたものである。

【0109】すなわち、サンプル・ホールド回路326は、チョッパ回路327から出力されるパルス信号S23の立上がりタイミングで、積分回路323から出力されるパルス信号S17をサンプリングし、このサンプリングデータを保持する。

【0110】パルス信号S23は、図10(1)に示すように、分周出力S13の立上がりタイミング(積分回路323の積分開始タイミング)からCPDだけ遅れて立ち上がるようなパルス信号である。

【0111】このパルス信号S23の立上がりタイミングによって積分回路323から出力されるパルス信号S17が、サンプル・ホールド回路326によりサンプリングされる。

【0112】これにより、パルス信号S18のパルス振幅Aは、位相差PDが許容範囲CPDを越える場合であっても、Lに制限される。

【0113】したがって、このサンプリングホールド処理によっても、リミッタ325による振幅制限処理と同じ機能を得ることができる。

【0114】なお、サンプル・ホールド回路326の保持データは、チョッパ回路324から出力される放電用のパルス信号S16によりリセットされる。

【0115】このような構成においても、先の実施例と同様の効果を得ることができることは勿論である。

【0116】以上この発明の2つの実施例を説明したが、この発明は、このような実施例に限定されるものではない。

【0117】例えば、先の実施例では、信号S18、S21をそれぞれ独立に生成する場合を説明した。

【0118】しかし、この発明では、信号S21を信号

S18から生成するようにしてよい。

【0119】例えば、第1の位相差検出回路32を削除し、第2の位相差検出回路33とLPF38との間に非線形利得回路を入れ、この非線形利得回路の出力を信号S18とし、この信号S18をLPF38に通すことにより、信号S21を得るようにしてよい。

【0120】また、先の実施例では、直流信号化用のLPFを、第2の位相差検出回路33の出力段と加算回路37の出力段に設ける場合を説明した。

【0121】しかし、この発明は、例えば、加算回路37の出力段に設けられたLPF39を削除し、これを第1の位相差検出回路32の出力段に設けるようにしてもよい。

【0122】このほかにも、この発明は、その要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

【0123】

【発明の効果】以上詳述したこの発明によれば、入出力位相差変動をその許容範囲内に抑えることができることは勿論、出力ジッタもその許容範囲内に抑えることができるPLL回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の原理構成を示すブロック図である。

【図2】本発明の第1の実施例の構成を示すブロック図である。

【図3】図2の動作を説明するためのタイミングチャートである。

【図4】図2の動作を説明するためのタイミングチャートである。

【図5】図2のリミッタの振幅制限動作を説明するための信号波形図である。

【図6】図2の第1の位相差検出回路の位相差検出特性を示す特性図である。

【図7】図2の第2の位相差検出回路の位相差検出特性を示す特性図である。

【図8】図2の第1、第2の位相差検出回路の合成位相差検出特性を示す特性図である。

【図9】本発明の第2の実施例の構成を示すブロック図である。

【図10】図9の動作を説明するためのタイミングチャートである。

【図11】図9のサンプル・ホールド回路のサンプリングホールド動作を説明するための信号波形図である。

【図12】従来のPLL回路の構成を示すブロック図である。

【図13】図12の動作を説明するためのタイミングチャートである。

【図14】図12の動作を説明するためのタイミングチャートである。

11

【図15】図12の進退検出回路の進退検出特性を示す特性図である。

【図16】図12の位相差検出回路の位相差検出特性を示す特性図である。

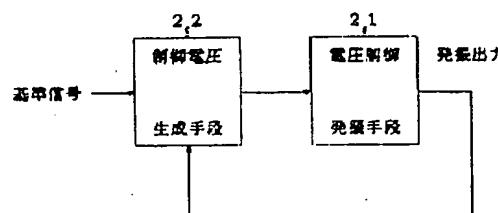
【図17】図12の進退検出回路と位相差検出回路の合成位相差検出特性を示す特性図である。

【符号の説明】

2 1	電圧制御発振手段
2 2	制御電圧生成手段
3 1	入力端子
3 2	第1の位相差検出
回路	
3 3	第2の位相差検出

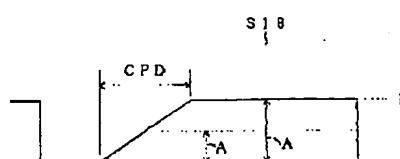
【図1】

本発明の原理図



【図5】

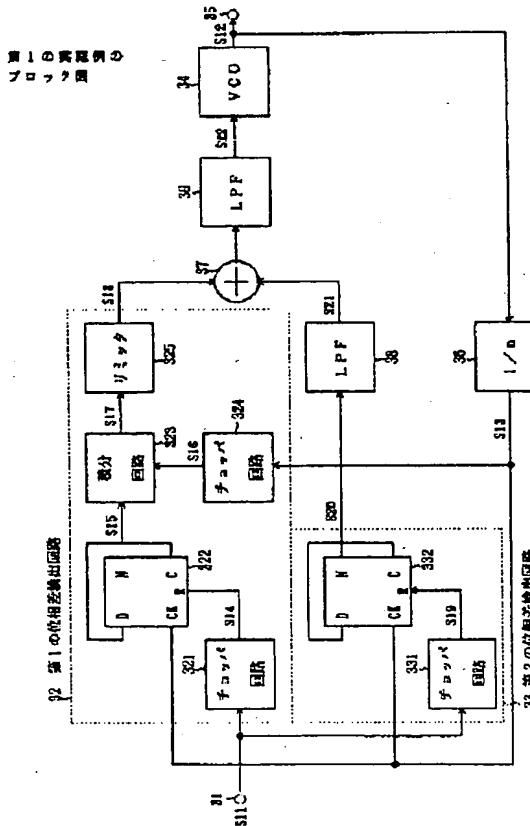
リミッタの動作を説明するための信号波形図



回路

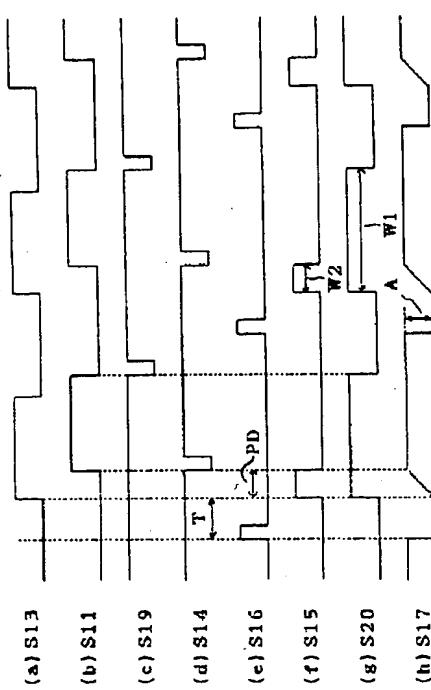
3 4	VCO
3 5	出力端子
3 6	分周回路
3 7	加算回路
3 8, 3 9	LPF
3 2 1, 3 3 1 3 2 4 3 2 7	チョップ回路
3 2 2, 3 3 2	Dフリップフロップ
10 3 2 3	積分回路
3 2 5	リミッタ
3 2 6	サンプル・ホール
ド回路	

【図2】



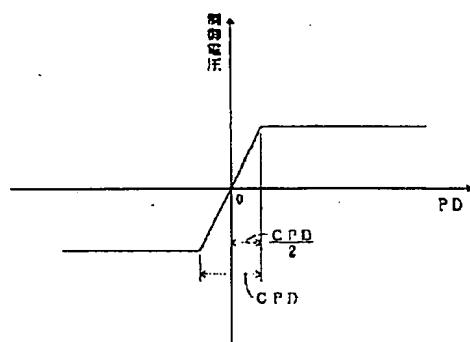
【図3】

図2の動作を示すタイミングチャート図



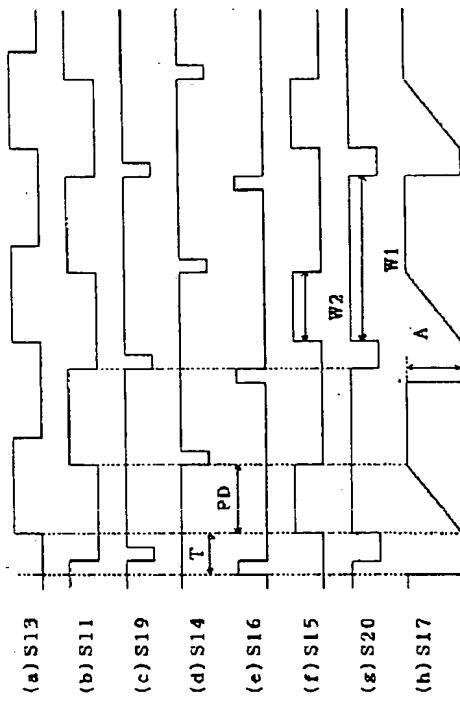
【図6】

第1の位相差検出回路の特性図



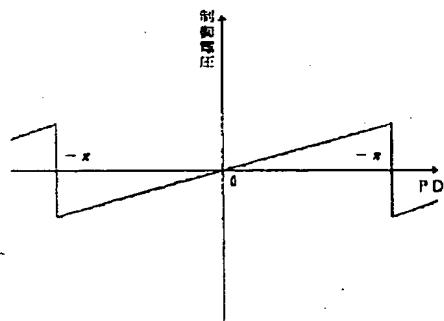
【図4】

図2の動作を示すタイミングチャート図



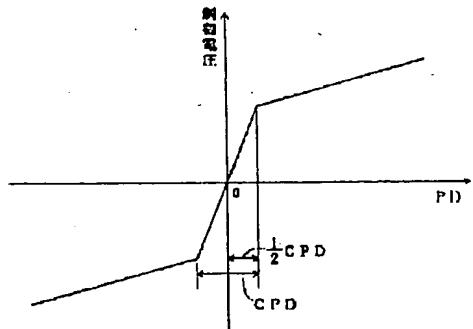
【図7】

第2の位相差検出回路の特性図



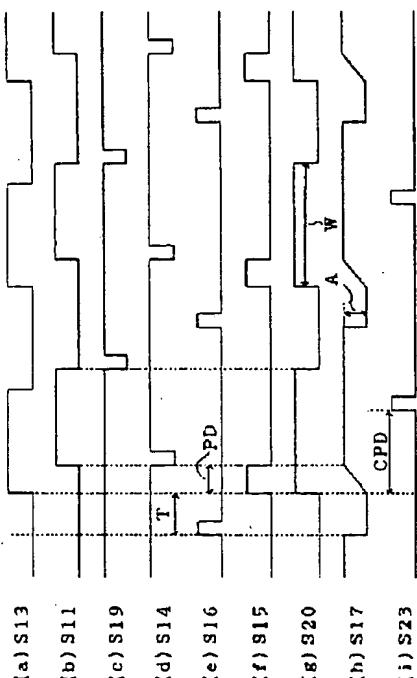
【図8】

合成校相搬出特性を示す特性図

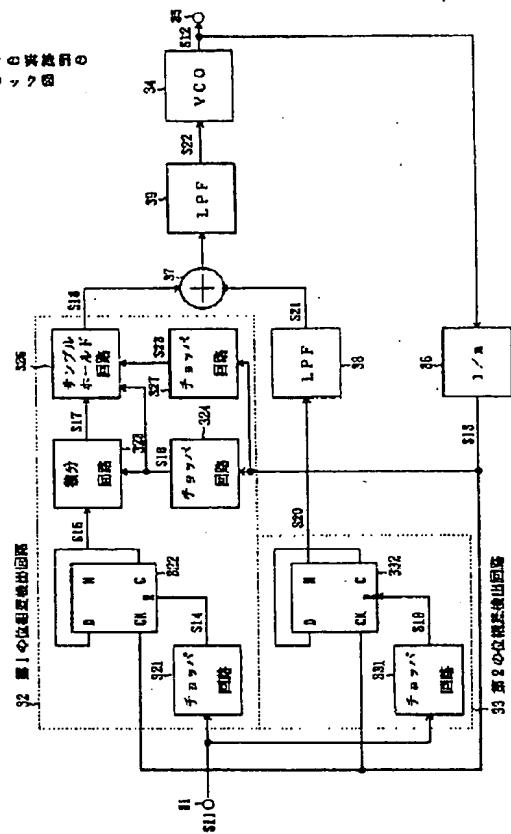


【図10】

図9の動作を示すタイミングチャート図

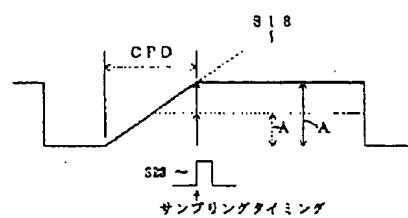


【図9】

第2回路構成回路の
ブロック図

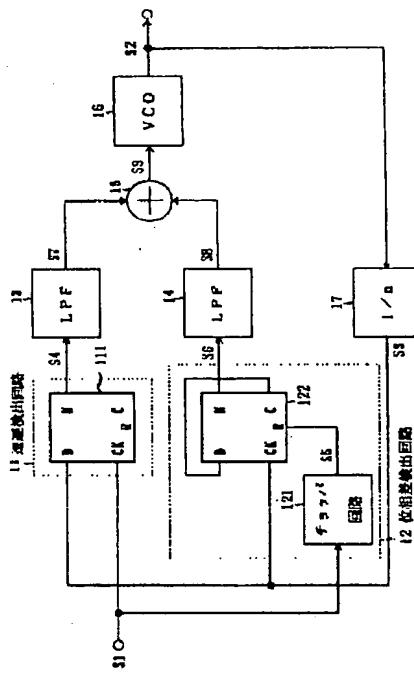
【図11】

サンプル・ホールド回路の動作を示す信号波形図



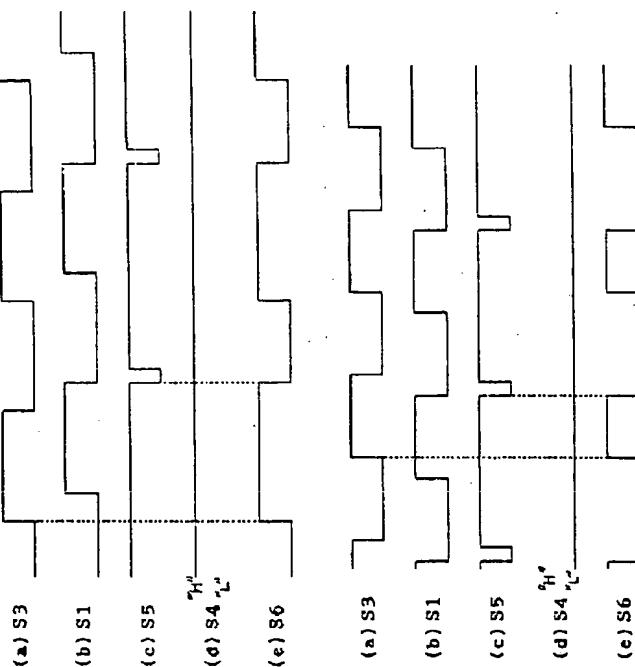
[図 12]

後来のアシシ園路のブロック園



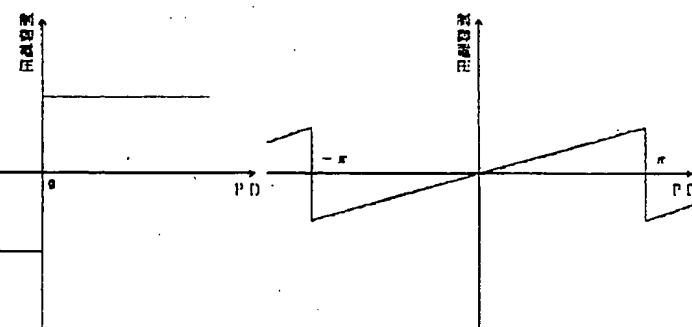
【图 1-3】

図1-2の動作を示すタイミングチャート図 図1-2の動作を示すタイミングチャート図



[図15]

遅延输出端路の特性因数



〔图16〕

位相差検出回路の特性

【図17】

合成位相検出特性を示す特性図

